Учреждение образования

«Белорусский государственный технологический университет»

Кафедра информационных систем и технологий

Предмет: Арифметико-логические основы цифровых вычислительных машин и архитектура компьютеров

Специальность: информационные системы и технологии

Отчет по лабораторной работе №2

Выполнил: Аникеенко Егор Вячеславовович (II группа)

Проверил: Самаль Д. И.

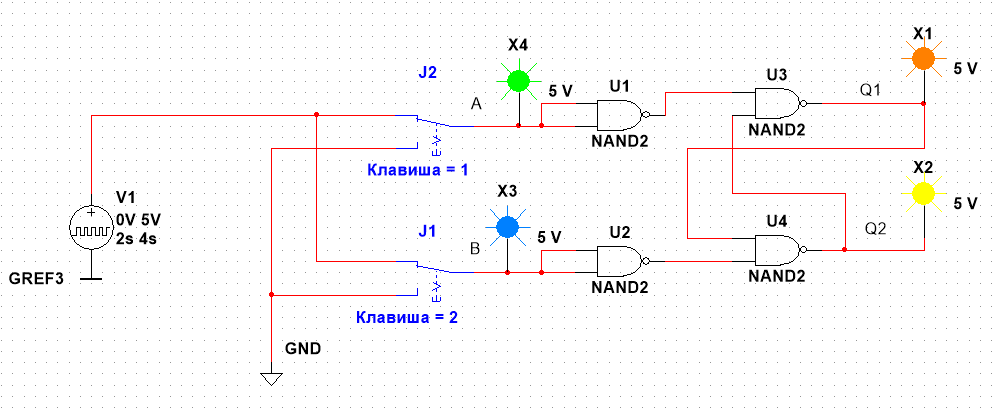
**Цель работы:** научиться собирать схемы для испытания триггеров; исследовать основные запоминающие элементы.

**Задание 1**. Запустить среду разработки Multisim и собрать на рабочем поле среды Multisim схему для испытания асинхронного RS-триггера и установить в диалоговых окнах компонентов их параметры или режимы работы. Скопировать схему на страницу отчета.

*Использованные устройства:*

* GROWND (GREF3)
* PULSE\_VOLTAGE
* Переключатель
* Цифровая земля
* PROBE\_DIG\_GREEN
* PROBE\_DIG\_BLUE
* PROBE\_DIG\_ORANGE
* PROBE\_DIG\_YELLOW
* NAND2 (4)

*Собранная схема:*



При подаче на A единица, а на B нуля, зеленый индикатор будет пульсировать, а второй будет гореть. Если инвертировать биты на входе, то будет происходить то же самое, только с синим и желтым индикаторами. При подаче на A и B единицы индикаторы перестанут гореть.

*Таблица истинности для RS-триггера:*

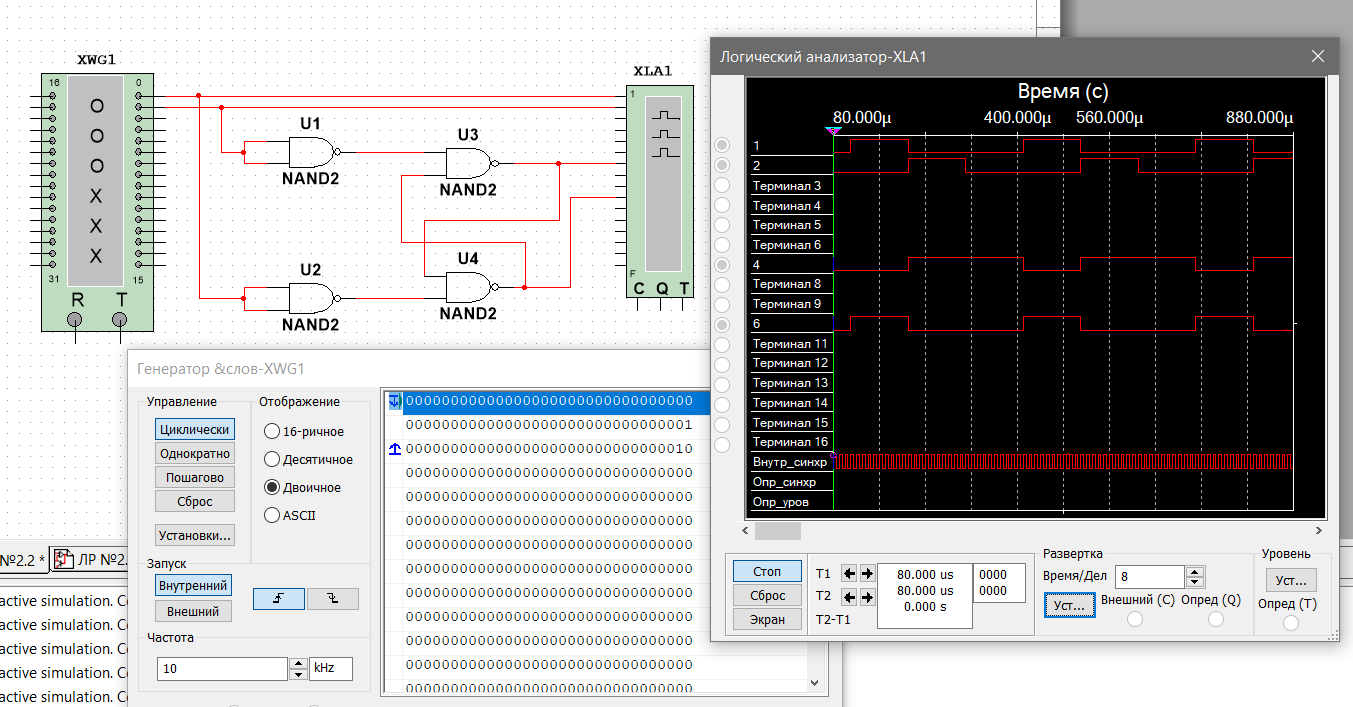
|  |  |  |  |
| --- | --- | --- | --- |
| A | B | Q1 | Q2 |
| 0 | 0 | Предыдущее значение Q1 | Предыдущее значение Q2 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 1 | 1 | - | - |

**Задание 2**. Подключить к входам триггера логический генератор (генератор слова) XWG1, запрограммировав его первые три ячейки кодами 00, 10 и 01 и соединив входы и выходы триггера с входами логического анализатора XLA1.

*Использованные устройства:*

* *Генератор слов*
* *NAND2 (4)*
* *Логический анализатор*

*Схема, временная диаграмма и настройки генератора слов:*



**Задание 3.** Собрать на рабочем поле среды Mustisim схему, состоящую из T-, JK- и D-триггеров. Перевести свою дату рождения в двоично-десятичную систему счисления и поместить в ячейки генератора слов. Результат, представленный на временной диаграмме, перевести в шестнадцатеричную (по возможности в десятеричную) систему счисления.

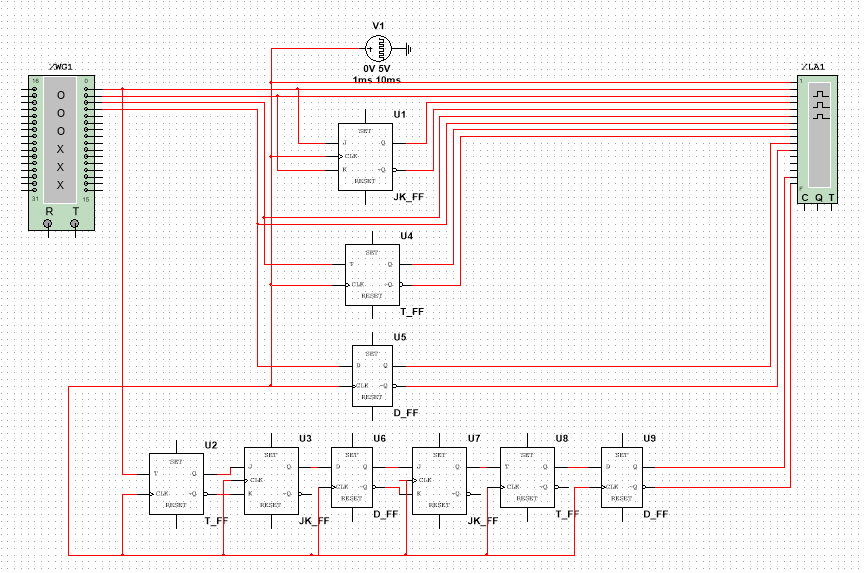
Дата рождения в десятеричной системе счисления: **27 12 2001**

Дата рождения в двоично-десятичной системе счисления: **0010 0111 0001 0010 0010 0000 0000 0001**

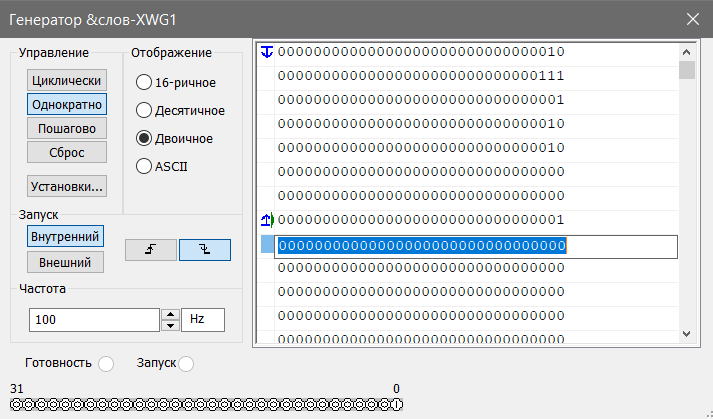
*Использованные устройства:*

* Генератор слов
* Логический анализатор
* PULSE\_VOLTAGE
* GROWND
* JF\_FF (3)
* D\_FF (3)
* T\_FF (3)

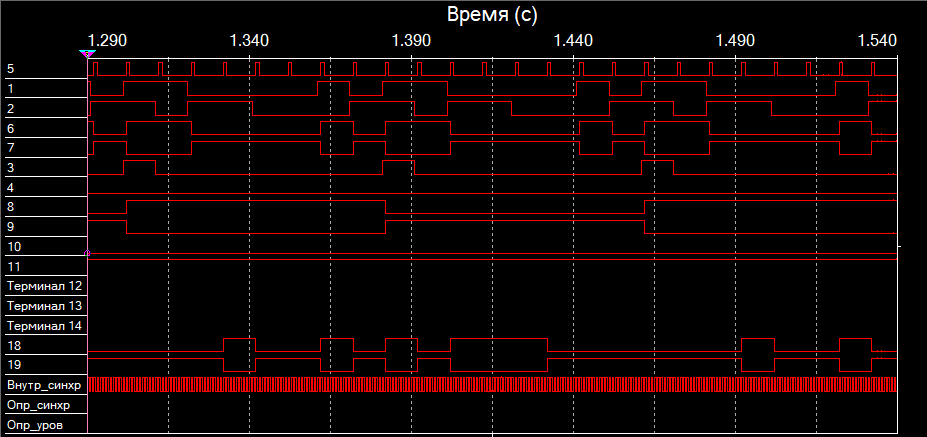
*Собранная схема:*



*Настройки генератора слов:*



*Временная диаграмма для 24 битов:*



Двоичная система: **0000 1001 0101 1100 0001 0010**

Шестнадцатеричная система: **95C12**

Десятеричная система: **613394**

*Таблица истинности для JK-триггера:*

|  |  |  |  |
| --- | --- | --- | --- |
| J | K | Q | ~Q |
| 0 | 0 | Предыдущее значение Q | Предыдущее значение ~Q |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 1 | Предыдущее значение Q | Предыдущее значение ~Q |

*Таблица истинности для T-триггера:*

|  |  |  |
| --- | --- | --- |
| T | Q | ~Q |
| 0 | Предыдущее значение Q | Предыдущее значение ~Q |
| 1 | Предыдущее значение ~Q | Предыдущее значение Q |

*Таблица истинности для D-триггера:*

|  |  |  |
| --- | --- | --- |
| D | Q | ~Q |
| 0 | 0 | 1 |
| 1 | 1 | 0 |

**Вывод:** изучен алгоритм построения схем с использованием RS-, T-, D-, JK-триггеров, а также их таблицы истинности.